

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086549

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G11C 11/407

G11C 11/409

H01L 27/108

H01L 21/8242

(21)Application number : 09-251386

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.09.1997

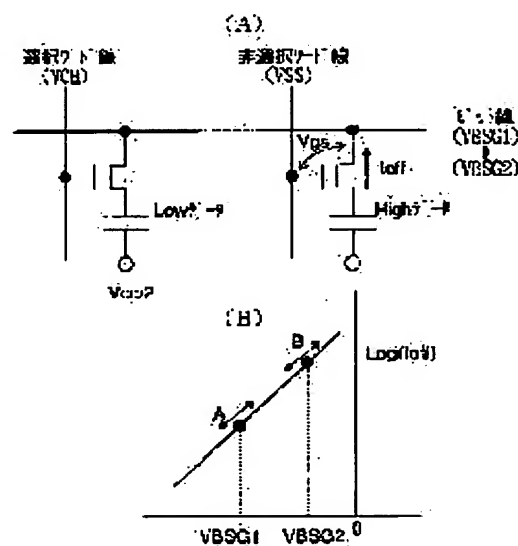
(72)Inventor : FUJISAWA HIROKI
KAJITANI KAZUHIKO

(54) DYNAMIC RAM

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high speed operation while reducing the subthreshold leak current of a memory cell whose word line is not selected by switching an internal voltage to a boosted ground level and setting the low level of a bit line to the boosted ground level.

SOLUTION: A two stage amplification is conducted by the sense amplifier. In other words, the low level side operating voltage of the sense amplifier is made lower than the half precharge voltage of a bit line, a use is made of a prescribed voltage VBSG1, which is larger than a boosted sense level VBSG2 and an amplification operation of the sense amplifier is conducted by the voltage VBSG1 if a word line is put into a selection condition. Thus, a subthreshold leak current I_{off} is exponentially reduced and the data holding characteristic of a non-selection memory cell is greatly improved. Also just before a selection word line is made into a non-selection condition, the low level side operating voltage of the sense amplifier is returned to an original boosted sense level VBSG2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

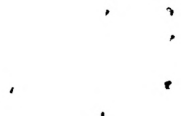
[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]



Page Blank (uspto)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 8 6 5 4 9

(43) 公開日 平成 1 1 年 (1 9 9 9) 3 月 3 0 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
G11C 11/407			G11C 11/34	354 F
11/409				353 E
H01L 27/108				354 D
21/8242			H01L 27/10	681 G

審査請求 未請求 請求項の数 4 F D (全 2 0 頁)

(21) 出願番号 特願平 9 - 2 5 . 1 3 8 6

(22) 出願日 平成 9 年 (1 9 9 7) 9 月 1 日

(71) 出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 藤澤 宏樹

東京都青梅市今井 2 3 2 6 番地 株式会社

日立製作所デバイス開発センタ内

(72) 発明者 梶谷 一彦

東京都青梅市今井 2 3 2 6 番地 株式会社

日立製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

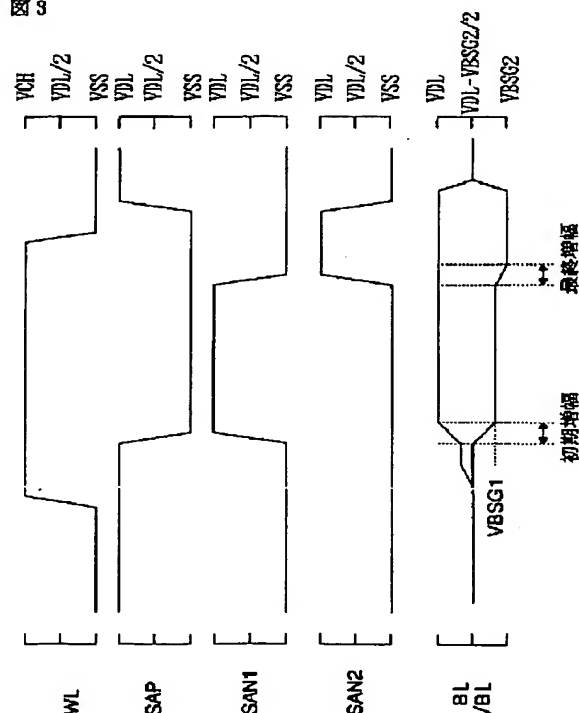
(54) 【発明の名称】 ダイナミック型 R A M

(57) 【要約】

【課題】 メモリセルの情報保持特性の改善と高速動作を実現したダイナミック型 R A M を提供する。

【解決手段】 B S G 方式のダイナミック型 R A M において、プリチャージ電圧より低く、ブーステッドグランドレベルにより高い内部電圧を形成しておき、ワード線の選択状態の前期間においてはセンスアンプのロウレベル側の動作電圧として内部電圧を用い、上記ワード線が非選択状態にされる直前において上記内部電圧を上記ブーステッドグランドレベルに切り替えてビット線のロウレベルを上記ブーステッドグランドレベルに設定し、カラムスイッチ部にダイレクトセンスアンプを設ける。

図 3



1

【特許請求の範囲】

【請求項 1】 ゲートがワード線に接続され、一方のソース、ドレインが上記ワード線と交差するビット線に接続され、他方のソース、ドレインが記憶キャパシタの蓄積ノードに接続されたアドレス選択 MOS F E T からなるダイナミック型メモリセルと、

上記ビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を記憶情報のハイレベルに対応した第 1 の内部電圧と、記憶情報のロウレベルに対応し、接地電位に対して高い電圧にされた第 2 の内部電圧で動作し、上記第 1 又は第 2 の内部電圧に増幅するセンスアンプと、

上記ビット線に上記第 1 と第 2 の内部電圧の中間電圧に対応したプリチャージ電圧を与えるプリチャージ回路と、

上記ビット線の増幅信号を受け、ビット線選択信号により活性化されて読み出し専用線に増幅信号を伝える読み出し増幅回路と、

書き込み専用線の書き込み信号を受け、ビット選択信号により活性化されて上記ビット線に書き込み信号を伝える書き込み回路とを含むメモリアレイを備えてなり、

上記センスアンプは、

上記ワード線の選択状態の前期間において上記第 1 の電圧と上記プリチャージ電圧より低く、上記第 2 の内部電圧より高い第 3 の内部電圧で動作して、上記ビット線を上記第 1 又は第 3 の内部電圧に増幅し、

上記ワード線が非選択状態にされる直前の後期間において上記第 3 の内部電圧を上記第 2 の内部電圧に切り替えて、上記ビット線に与えられるロウレベルを上記第 2 の内部電圧に対応させて変化させるようにしたことを特徴とするダイナミック型 R A M。

【請求項 2】 上記ビット線は、一対の相補ビット線が平行に配置されてなり、

上記センスアンプの増幅 MOS F E T は、一方のビット線に接続されたメモリセルの読み出し信号を他方のビット線のプリチャージ電圧を参照電圧として増幅するものであり、

かかるセンスアンプを中心にしてシェアードスイッチ MOS F E T を介して 2 組の相補ビット線に共通に設けられるものであり、

上記プリチャージ回路及び上記読み出し増幅回路と書き込み回路は、上記シェアードスイッチ MOS F E T を介して上記 2 組の相補ビット線に対して共通に設けられるものであることを特徴とする請求項 1 のダイナミック型 R A M。

【請求項 3】 上記センスアンプは、

P チャンネル型 MOS F E T と N チャンネル型 MOS F E T からなる 2 つの CMOS インバータ回路の入力と出力とが交差接続されてなる CMOS ラッチ回路と、

かかる CMOS ラッチ回路に上記第 1 の内部電圧を供給

2

する P チャンネル型 MOS F E T 及び上記第 2 の内部電圧と第 3 の内部電圧とを選択的に供給する N チャンネル型 MOS F E T からなるパワースイッチ回路とにより構成されるものであることを特徴とする請求項 1 又は請求項 2 のダイナミック型 R A M。

【請求項 4】 上記ワード線は、メインワード線の延長方向に対して分割された長さとなされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリセルのアドレス選択 MOS F E T のゲート接続されてなるサブワード線であり、

上記メインワード線と平行するように延長され、上記 1 つのメインワード線に割り当てられた複数のサブワード線の中の 1 つを選択する選択信号が伝えられる第 1 のサブワード選択線と、

上記第 1 のサブワード選択線の対応するものと接続され、上記メインワード線と直交するように延長される第 2 のサブワード選択線と、

上記メインワード線の選択信号と上記第 2 のサブワード選択線を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワードドライバ及び上記複数のサブワード線、上記複数の相補ビット線対及びこれらの交点に設けられた複数のダイナミック型メモリセルかにより構成されてなる複数のサブアレイを備え、

上記サブアレイの複数からなるサブワード線配列の両端側にサブワードドライバが振り分けられて分割して配置され、

上記サブアレイの複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて分割して配置され、上記 1 つのサブアレイは、上記複数のサブワードドライバ列と上記複数のセンスアンプ列とにより囲まれるように形成され、

上記サブアレイに対応してサブ共通入出力線が設けられ、複数のサブアレイに対応して設けられる共通入出力線とを接続させるスイッチ回路は、上記サブアレイの四隅に対応され、上記センスアンプとサブワードドライバとが交差するクロスエリアに設けられるものであることを特徴とする請求項 1、請求項 2 又は請求項 3 のダイナミック型 R A M。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 この発明は、ダイナミック型 R A M (ランダム・アクセス・メモリ) に関し、特にブーステッドセンスグラウンド (B S G) 方式のセンスアンプを用いるものに利用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】 MOS F E T は、その微細化されるにつれて耐圧が低下する。このため、微細化された MOS F

10

20

30

40

50

E T により構成された回路では、動作電圧を低くすることが必要である。この場合、ゲートに供給されるゲート電圧も低くなるために、低くされたゲート電圧でも所望の電流が流れるようしきい電圧を低くすることが必要とされる。しかしながら、しきい電圧を低く設定すると、ゲートとソース間の電圧を等しくしてオフ状態にさせたときに流れるリーク電流（以下、サブスレッシュヨドリーク電流という）が指数関数的に増加してしまう。

【0 0 0 3】ダイナミック型メモリセルにおいて、ワード線が非選択のメモリセルにおいては、上記のようなサブスレッシュヨドリーク電流によってハイレベルを保持している情報記憶キャパシタの保持時間が短くなり、リフレッシュ周期を短くする必要がある、それが全体の消費電流を増大させてしまう。このようなリーク電流を低減させる方法として、ブーステッドセンスグランド（B S G）方式がある。この方式では、上記センスアンプのロウレベル出力を 0. 5 V 程度の昇圧グランドレベルとして、ビット線に伝えるようにするものである。この構成では、メモリセルのアドレス選択 M O S F E T のゲート、ソース間に上記昇圧グランドレベル分だけ逆バイアス電圧がかかるために、サブスレッシュヨドリーク電流を低減させることができる。上記 B S G 方式では、センスアンプのロウレベルが持ち上げられる結果、キャパシタに記憶させる記憶電荷量が減少してしまう。そこで、ワード線を非選択にする前にセンスアンプのロウレベルを接地電位まで低くして、センスアンプを 2 段階増幅させて信号レベルを確保するようにしたものが特開平 7 - 8 5 6 6 2 号公報により提案されている。

【0 0 0 4】

【発明が解決しようとする課題】上記のようにビット線を接地電位のようなロウレベルにすると、ワード線が非選択のメモリセルではアドレス選択 M O S F E T のゲートとソース間が一時的に同電位となって比較的大きなサブスレッシュヨドリーク電流が流れてしまい、記憶キャパシタに保持されているハイレベルを低下させてしまう。つまり、選択メモリセルにおいて記憶情報量を大きくしようとしことが、非選択メモリセルにおいてはサブスレッシュヨドリーク電流を増加させてしまうという悪影響をもたらす結果となるものである。そこで、本願発明者等は、上記のようなセンスアンプの 2 段階センス動作を利用することによって、記憶キャパシタの情報保持特性を改善しつつ、読み出し動作を高速化したダイナミック型 R A M を考えた。

【0 0 0 5】この発明の目的は、メモリセルの情報保持特性の改善と高速動作を実現したダイナミック型 R A M を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0 0 0 6】

【課題を解決するための手段】本願において開示される

発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、B S G 方式のダイナミック型 R A M において、プリチャージ電圧より低く、ブーステッドグランドレベルにより高い内部電圧を形成しておき、ワード線の選択状態の前期間においてはセンスアンプのロウレベル側の動作電圧として内部電圧を用い、上記ワード線が非選択状態にされる直前において上記内部電圧を上記ブーステッドグランドレベルに切り替えてビット線のロウレベルを上記ブーステッドグランドレベルに設定し、カラムスイッチ部にダイレクトセンスアンプを設ける。

【0 0 0 7】

【発明の実施の形態】図 1 には、この発明を説明するための概念図が示されている。図 1 (A) には、選択メモリセルと非選択メモリセルが示され、図 1 (B) にはアドレス選択 M O S F E T でのサブスレッシュヨドリーク電流 I_{off} の特性図が示されている。上記のようにワード線が選択されたメモリセルにおいて、ビット線の電位をセンスアンプの増幅信号に従ってブーステッドグランドレベルに対応したロウレベルにすると、選択されたメモリセルにはかかるロウレベルのリライト動作が行われるものである。しかし、その間においてワード線が非選択レベルとされたメモリセルでは、アドレス選択用 M O S F E T のゲートとソースが上記ブーステッドセンスレベル V_{BSG2} に対応した比較的小きな電圧でしか逆バイアスされないために、図 1 (B) の動作点 B のようにサブスレッシュヨドリーク電流 I_{off} が比較的大きくされ、キャパシタのハイデータを失わせるように作用してしまう。

【0 0 0 8】そこで、本願発明ではセンスアンプに 2 段階増幅を行わせる。つまり、センスアンプのロウレベル側の動作電圧をビット線のハーフプリチャージ電圧により低く、上記ブーステッドセンスレベル V_{BSG2} により大きな所定の電圧 V_{BSG1} を用い、ワード線が選択状態にされたときには係る電圧 V_{BSG1} によりセンスアンプの増幅動作を行わせる。このようにすれば、図 1 (B) の動作点 A のようにサブスレッシュヨドリーク電流 I_{off} が指数関数 (\log) 的に減少して非選択メモリセルのデータ保持特性を大幅に改善させることができる。しかしながら、このままでは上記両電圧差分 $V_{BSG1} - V_{BSG2}$ だけロウレベル側の信号電荷量が減少してしまうので、上記選択ワード線を非選択にする直前に上記センスアンプのロウレベル側の動作電圧を V_{BSG1} から本来のブーステッドセンスレベル V_{BSG2} に戻して、記憶キャパシタに書き込まれるロウレベルの大きくする。このとき、ビット線の電位が V_{BSG1} から V_{BSG2} への変化し、ワード線とのカップリングによって非選択ワード線を V_{SS} より低い電位（負電位）にすることができるので、非選択メモリセルのデータ保持特性を良くする方向に作用させるものとなる。

【0009】上記のようにワード線が選択状態にされた直後では、上記センスアンプのロウレベル側の信号レベルが電圧VBSG1に対応して小さくなってしまい、読み出し動作そのものが遅くなってしまう。そこで、本願発明では、次に説明するようなダイレクトセンスアンプを付加し、上記ダイナミック型メモリセルの読み出し動作を高速化するものである。

【0010】図2には、この発明に係るダイナミック型RAMにおけるセンスアンプ及び書き込み回路と読み出し増幅回路（ダイレクトセンスアンプ）の一実施例の回路図が示されている。同図において、Pチャンネル型MOSFETは、そのチャンネル部分に矢印を付しことによつて、Nチャンネル型MOSFETと区別されるものである。このことは、他の回路図においても同様である。

【0011】一対の相補ビット線BLと／BLは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線BLと／BLは、センスアンプの入出力ノードと接続される。センスアンプは、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型MOSFETQ5、Q6及びPチャンネル型MOSFETQ7、Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、コモンソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、コモンソース線CSPに接続される。コモンソース線CSPに同図では省略されているが、Pチャンネル型MOSFETのパワースイッチMOSFETが設けられて、内部電圧発生回路で形成された内部降圧電圧VDLが供給される。Nチャンネル型MOSFETQ5とQ6に対応したコモンソース線CSNにも、図示しないNチャンネル型MOSFETが設けられて、内部電圧発生回路で形成された2段階の動作電圧VBSG1とVBSG2が供給される。これらの各電圧を供給するスイッチMOSFETは、2段階センス制御回路に含まれるものである。

【0012】図示しないが、上記センスアンプの入出力ノードには、相補ビット線を短絡させるMOSFETと、相補ビット線にハーフプリチャージ電圧を供給するスイッチMOSFETからなるプリチャージ回路が設けられる。これらのMOSFETのゲートは、共通にプリチャージ信号が供給され、ワード線が非選択状態にされるとオン状態となってビット線BLと／BLをプリチャージ電圧に設定するものである。

【0013】この実施例では、上記センスアンプの2段階センス動作による信号レベルの低下を実質的に補償して読み出し動作の高速化のために、ダイレクトセンスアンプが設けられる。ダイレクトセンスアンプは、相補ビット線BLと／BLの電圧を受ける増幅MOSFETQ12、Q13と、上記増幅MOSFETQ12、Q13

のドレインと読み出し専用線／RIOとRIOとの間に設けられ、カラム選択線YSにゲートが接続された選択スイッチMOSFETQ32とQ33により構成される。上記増幅MOSFETQ12とQ13は、そのソースに接地電位VSSが与えられている。上記読み出し専用線／RIO、RIOには、特に制限されないが、動作電圧VDLにプリチャージさせるプリチャージ回路が設けられ、上記増幅MOSFETQ12とQ13のちハイレベルに対応された読み出し専用線／RIO又はRIOの一方が大きくロウレベルに引き抜かれて、かかる増幅信号が図示しないメインアンプの入力に伝えられる。

【0014】センスアンプの増幅信号が上記のようなハイレベル（VDL）とロウレベル（VBSG1）のような比較的小さな信号振幅であっても、このようなダイレクトセンスアンプの挿入により、それを増幅することができること及びダイレクトセンスアンプは高入力インピーダンスであり、その動作がビット線BLと／BLに電位変化を生じさせないためにセンスアンプの増幅動作に悪影響を与えないのでY系の選択動作を可能な限りに先行して行うようにしてメインアンプに読み出し信号を伝えるようにすることが可能となつて読み出し時間の高速化を図ることができる。

【0015】上記のように読み出し専用線／RIOとRIOが設けられることに対応して、書き込み専用線WIOと／WIOが設けられる。この書き込み専用線WIOと／WIOから伝えらる書き込み信号のハイレベルとロウレベルを、上記VDLとVBSG2に合わせるために、図示しないライトバッファでは、上記電圧VDLとVBSG2より動作するようにされる。これにより、上記書き込み専用線WIOと／WIOには上記VDLに対応したハイレベルとVBSG2に対応したロウレベルの書き込み信号が伝えられる。つまり、上記書き込み専用線WIOと／WIOは、書き込みパルスWPによりオン状態にされるスイッチMOSFETQ17とQ18と、カラム選択線YSに伝えられるカラム選択線によりスイッチ制御されるカラム選択MOSFETQ15とQ16を通してビット線BLと／BLに接続される。これにより、ビット線BLと／BLの電位が上記読み出し専用線／RIOとRIOの信号に対応して変化し、選択されたメモリセルに書き込まれる。

【0016】図3には、この発明に係るダイナミック型RAMの読み出し動作を説明するための概略タイミング図が示されている。同図においては、この発明に直接関係するワード線WL、上記センスアンプにVDLに対応した動作電圧と、上記VBSG1とVBSG2からなる2段階の動作電圧とをセンスアンプに供給するセンスアンプ制御信号SAP、SAN1、SAN2及び相補ビット線BL、／BLが代表として例示的に示されている。図示しないロウアドレスストローブ信号のロウレベルにより、ロウ（RAS系）のアドレス選択動作が開始され

る。つまり、上記ロウアドレスストローブ信号のロウレベルへの変化に対応してロウ系のアドレス信号の取り込みが行われ、デコードにより取り込まれたアドレス信号の解読がなされる。これと並行して、プリチャージ動作が終了されて相補ビット線BL、 $\overline{\text{BL}}$ がハイインピーダンス状態でプリチャージレベルを保持する。

【0017】上記デコード結果により、ワード線WLが昇圧されたハイレベルVCHの選択レベルにされる。この選択レベルVCHは、上記内部電圧VDLに対してメモリセルのアドレス選択MOSFETの実効的なしきい値電圧だけ高くされた昇圧電圧とされる。上記ワード線WLの選択動作によって、上記相補ビット線BL、 $\overline{\text{BL}}$ のうち選択されたメモリセルが接続されビット線の電位がメモリセルの記憶電荷に従って例えばハイレベルに上昇する。このようにビット線にメモリセルの記憶電荷に従った微小な電位変化が現れると、センスアンプの活性化信号SAPがロウレベルに、SAN1がハイレベルにされてセンスアンプの増幅動作が開始される。つまり、センスアンプを構成するCMOSラッチには、VDLとVBSG1が動作電圧として与えられる。これにより、センスアンプの入出力ノードと結合されたビット線BL、 $\overline{\text{BL}}$ は上記メモリセルからの微小な読み出し電圧に従ってVDLに対応したハイレベルとVBSG1に対応したロウレベルに初期増幅される。

【0018】読み出し動作においては、図示しないカム系の選択動作により、選択ビット線が決まり、上記センスアンプにより増幅された相補ビット線BL、 $\overline{\text{BL}}$ の電圧差がダイレクトセンスアンプによって更に増幅されて前記読み出し専用線RIOと $\overline{\text{RIO}}$ を通してメインアンプに伝えられ、データ出力回路を通して外部端子から出力される。このようなダイレクトセンスアンプの挿入によって、上記相補ビット線BLと $\overline{\text{BL}}$ の電位差がVDL-VBSG1のように比較的小さな電圧に制限されていても、読み出し速度はそれに影響されずに高速にできるものとなる。

【0019】この状態では、ビット線BL又は $\overline{\text{BL}}$ のロウレベル側の電位は、上記電圧VBSG1に対応した比較的高い電圧に維持される。それ故、ワード線が接地電位のような非選択レベルにされたメモリセルにおいては、アドレス選択MOSFETのゲートとソース間には、上記-VBSG1のような比較的大きな逆バイアス電圧が印加されるので、図1(B)における動作点Aに対応した微小なサブスレッショルドリーク電流 I_{off} しか流れず、非選択のメモリセルのデータ保持特性を改善させることができる。

【0020】メモリセルのキャパシタに蓄積されるロウレベル側の記憶電荷を大きくするために、上記選択ワード線が非選択状態に切り替えられる前に、センスアンプのロウレベル側の動作電圧が上記電圧VBSG1から本来のブーステッドセンスグランドレベルに対応した電圧

VBSG2に切り替えられる。この結果、ビット線のロウレベルも上記電圧VBSG2に変化し、本来の記憶電荷量がメモリセルに書き込まれる。上記センスアンプのロウレベル側の動作電圧を電圧VBSG1からブーステッドセンスグランドレベルに対応した電圧VBSG2に切り替えるタイミングとして、特に制限されないが、ロウアドレスストローブ信号がハイレベルに変化したことにより、上記信号SAN1をハイレベルからロウレベルに切り替え、信号SAN2をロウレベルからハイレベルに変化させ、ワード線WLのロウレベルへの変化により上記信号SAN2をハイレベルからロウレベルに変化させるようにすればよい。

【0021】図示しないが、センスアンプの活性化信号SAPとSAN2がそれぞれリセットされた後に、プリチャージ信号が発生されて相補ビット線BLと $\overline{\text{BL}}$ を短絡してプリチャージ動作を行わせる。これにより、相補ビット線BLと $\overline{\text{BL}}$ は、 $(\text{VDL}-\text{VBSG2})/2$ のようなハーフプリチャージ電圧に設定される。特に制限されないが、上記センスアンプの共通ソース線CSNとCSPも上記同様にプリチャージされる。

【0022】図4には、この発明に係るダイナミック型RAMの書き込み動作を説明するためのタイミング図が示されている。同図においても、上記同様にこの発明に直接関係するワード線WL、上記センスアンプにVDLに対応した動作電圧と、上記VBSG1とVBSG2からなる2段階の動作電圧とをセンスアンプに供給するセンスアンプ制御信号SAP、SAN1、SAN2及び相補ビット線BL、 $\overline{\text{BL}}$ が代表として例示的に示されている。上記と同様にロウアドレスストローブ信号ロウレベルにより、ロウ系のアドレス信号の取り込みが行われ、デコードにより取り込まれたアドレス信号の解読がなされる。これと並行して、プリチャージ動作が終了されて相補ビット線BL、 $\overline{\text{BL}}$ がハイインピーダンス状態でプリチャージレベルを保持する。

【0023】上記デコード結果により、ワード線WLが昇圧されたハイレベルVCHの選択レベルにされる。この選択レベルVCHは、上記内部電圧VDLに対してメモリセルのアドレス選択MOSFETの実効的なしきい値電圧だけ高くされた昇圧電圧とされる。上記ワード線WLの選択動作によって、上記相補ビット線BL、 $\overline{\text{BL}}$ のうち選択されたメモリセルが接続されビット線の電位がメモリセルの記憶電荷に従って例えばハイレベルに上昇する。このようにビット線にメモリセルの記憶電荷に従った微小な電位変化が現れると、センスアンプの活性化信号SAPがロウレベルに、SAN1がハイレベルにされてセンスアンプの増幅動作が開始される。

【0024】上記センスアンプを構成するCMOSラッチには、VDLとVBSG1が動作電圧として与えられる。これにより、センスアンプの入出力ノードと結合されたビット線BL、 $\overline{\text{BL}}$ は上記メモリセルからの微小

な読み出し電圧に従ってV D Lに対応したハイレベルとV B S G 1に対応したロウレベルに初期増幅される。カラムアドレスストロブ信号がロウレベルに変化するタイミングで、ライトイネーブル信号がロウレベルであると書き込み動作と判定されて、カラム系の選択動作により選択メモリセルに対応したビット線B L、B Lに対して書込信号が伝えられる。このセンスアンプは、上記書き込み信号に対応してビット線B L、B Lの電位を決定する。

【0025】この状態では、上記読み出し動作と同様にビット線B L又は／B Lのうちのロウレベル側の電位は、上記のような書き込み動作に対しても電圧V B S G 1に対応した比較的高い電圧に維持される。それ故、ワード線が接地電位のような非選択レベルにされたメモリセルにおいては、アドレス選択M O S F E Tのゲートとソース間には、上記V B S G 1のような比較的大きな逆バイアス電圧が印加されるので、図1 (B)における動作点Aに対応した微小なサブスレッショルドリーク電流I o f f しか流れず、非選択のメモリセルのデータ保持特性を改善させることができる。

【0026】メモリセルのキャパシタに書き込まれるロウレベル側の記憶電荷を大きくするために、上記選択ワード線が非選択状態に切り替えられる前に、センスアンプのロウレベル側の動作電圧が上記電圧V B S G 1から本来のブーステッドセンスグランドレベルに対応した電圧V B S G 2に切り替えられる。この結果、ビット線のロウレベルも上記電圧V B S G 2に変化し、本来の書き込み電荷量がメモリセルに書き込まれる。上記センスアンプのロウレベル側の動作電圧を電圧V B S G 1からブーステッドセンスグランドレベルに対応した電圧V B S G 2に切り替えるタイミングとして、上記同様にロウアドレスストロブ信号がハイレベルに変化したことにより、上記信号S A N 1をハイレベルからロウレベルに切り替え、信号S A N 2をロウレベルからハイレベルに変化させ、ワード線W Lのロウレベルへの変化により上記信号S A N 2をハイレベルからロウレベルに変化させるようにすればよい。

【0027】図示しないが、センスアンプの活性化信号S A PとS A N 2がそれぞれリセットされた後に、プリチャージ信号が発生されて相補ビット線B Lと／B Lを短絡してプリチャージ動作を行わせる。これにより、相補ビット線B Lと／B Lは、(V D L - V B S G 2) / 2のようなハーフプリチャージ電圧に設定される。特に制限されないが、上記センスアンプの共通ソース線C S NとC S Pも上記同様にプリチャージさて、書き込みサイクルが終了する。

【0028】図5には、この発明に係るダイナミック型R A Mの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型R A Mを構成する各回路ブロックのうち、この発明に関連する部分が判るよう

に示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0029】この実施例では、特に制限されないが、メモリアレイは、全体として4個に分けられる。半導体チップの長手方向に対して左右に2個ずつのメモリアレイが分けられて、中央部分14にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等が設けられる。これら中央部分14の両側のメモリアレイに接する部分には、カラムデコード領域13が配置される。上述のように半導体チップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコード領域11が設けられる。このメインロウデコードの上下には、メインワードドライバ領域12が形成されて、上記上下に分けられたメモリアレイのメインワード線をそれぞれが駆動するようにされる。

【0030】上記メモリセルアレイ(サブアレイ)15は、その拡大図に示すように、メモリセルアレイ15を挟んでセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成されるものである。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域(クロスエリア)18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【0031】上述のように半導体チップの長手方向に対して左右に4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中央部分に上記メインロウデコード領域11とメインワードドライバ12が配置される。このメインロウデコード11は、それを中心にして上下に振り分けられた2個のメモリアレイに対応して共通に設けられる。メインワードドライバ12は、上記1つのメモリアレイを貫通するように延長されるメインワード線を選択信号を形成する。また、上記メインワードドライバ12にサブワード選択用のドライバも設けられ、後述するように上記メインワード線と平行に延長されてサブワード選択線を選択信号を形成する。

【0032】拡大図として示された1つのメモリセルアレイ(サブアレイ)15は、図示しないがサブワード線が256本と、それと直交する相補ビット線(又はデータ線)が256対とされる。上記1つのメモリアレイにおいて、上記メモリセルアレイ(サブアレイ)15がワードビット線方向に16個設けられるから、全体として

の上記サブワード線は約 4 K 分設けられ、ワード線方向に 8 個設けられるから、相補ビット線は全体として約 2 K 分設けられる。このようなメモリアレイが全体で 8 個設けられるから、全体では $8 \times 2 K \times 4 K = 6 4 M$ ビットのような大記憶容量を持つようにされる。

【0033】上記 1 つのメモリアレイは、メインワード線方向に対して 8 個に分割される。かかる分割されたメモリセルアレイ 15 毎にサブワードドライバ (サブワード線駆動回路) 17 が設けられる。サブワードドライバ 17 は、メインワード線に対して $1/8$ の長さ分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1 つのメインワード線に対して、相補ビット線方向に 4 本からなるサブワード線を配置させる。このようにメインワード線方向には 8 本に分割され、及び相補ビット線方向に対して 4 本ずつが割り当てられたサブワード線の中から 1 本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される 4 本のサブワード選択線の中から 1 つを選択する選択信号を形成する。

【0034】上記 1 つのメモリアレイに着目すると、1 つのメインワード線に割り当てられる 8 個のメモリセルアレイのうち選択すべきメモリセルが含まれる 1 つのメモリセルアレイに対応したサブワードドライバにおいて、1 本のサブワード選択線が選択される結果、1 本のメインワード線に属する $8 \times 4 = 32$ 本のサブワード線の中から 1 つのサブワード線が選択される。上記のようにメインワード線方向に 2 K (2048) のメモリセルが設けられるので、1 つのサブワード線には、 $2048/8 = 256$ 個のメモリセルが接続されることとなる。特に制限されないが、リフレッシュ動作 (例えばセルフリフレッシュモード) においては、1 本のメインワード線に対応する 8 本のサブワード線が選択状態とされる。

【0035】上記のように 1 つのメモリアレイは、相補ビット線方向に対して 4 K ビットの記憶容量を持つ。しかしながら、1 つの相補ビット線に対して 4 K ものメモリセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても 16 分割される。つまり、太い黒線で示されたセンスアンプ 16 により、相補ビット線が 16 分割に分割される。特に制限されないが、センスアンプ 16 は、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプ 16 を除いて、センスアンプ 16 を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0036】図 6 には、この発明に係るダイナミック型 RAM を説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、8 分割された 1 つのメモリアレイのレイアウトが示されている。同図は、図 5 の実施例を別の観点から図示したものである。つまり、図 5 と同様にメモリチップは、長手方向 (ワード線方向) に対して左右と上下にそれぞれ 2 個ずつのメモリアレイ (Array) が 4 分割され、その長手方向における中央部分には複数なるボンディングパッド及びアドレスバッファや制御バッファやプリデコード及びタイミング制御回路等のような間接周辺回路 (Bonding Pad & peripheral Circuit) が設けられる。

【0037】上記 2 個ずつのメモリアレイは、それぞれが約 8 M ビットの記憶容量を持つようにされるものであり、そのうち的一方が拡大して示されているように、ワード線方向に 8 分割され、ビット線方向に 16 分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ (Sense Amplifier) が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ (Sub-Word Driver) が配置される。

【0038】上記 1 つのアレイには、全体で 4096 本のワード線と 2048 対の相補ビット線が設けられる。これにより、全体で約 8 M ビットの記憶容量を持つようにされる。上記のように 4096 本のワード線が 16 個のサブアレイに分割して配置されるので、1 つのサブアレイには 256 本のワード線 (サブワード線) が設けられる。また、上記のように 2048 対の相補ビット線が 8 個のサブアレイに分割して配置されるので、1 つのサブアレイには 256 対の相補ビット線が設けられる。

【0039】上記 2 つのアレイの中央部には、メインロウデコードが設けられる。つまり、同図に示されたアレイの左側には、その右側に設けられるアレイと共通に設けられる前記メインロウデコードに対応して、アレイコントロール (Array control) 回路及びメインワードドライバ (Main Word driver) が設けられる。上記アレイコントロール回路には、第 1 のサブワード選択線を駆動するドライバが設けられる。上記アレイには、上記 8 分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第 1 のサブワード選択線も上記 8 分割されたサブアレイを貫通するように延長される。上記アレイの上部には、Y デコーダ (Y Decoder) 及び Y 選択線ドライバ (YS driver) が設けられる。

【0040】図 7 には、この発明に係るダイナミック型 RAM におけるサブアレイとその直接周辺回路の一実施例の概略レイアウト図が示されている。同図には、図 6 に示されたメモリアレイの中の斜線を付した位置に配置された 4 つのサブアレイ S B A R Y が代表として例示的

に示されている。サブアレイ S B A R Y が形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリアとが区別されるものである。

【 0 0 4 1 】サブアレイ S B A R Y は、次のような 4 種類に分けられる。つまり、ワード線の延長方向を水平方向とすると、右下に配置される第 1 のサブアレイ S B A R Y は、サブワード線 S W L が 2 5 6 本配置され、相補ビット線対は 2 5 6 対から構成される。それ故、上記 2 5 6 本のサブワード線 S W L に対応した 2 5 6 個のサブワードドライバ S W D は、かかるサブアレイの左右に 1 2 8 個ずつに分割して配置される。上記 2 5 6 対の相補ビット線 B L に対応して設けられる 2 5 6 個のセンスアンプ S A は、前記のようなシェアードセンスアンプ方式とされ、かかるサブアレイの上下に 1 2 8 個ずつに分割して配置される。

【 0 0 4 2 】上記のように右上配置される第 2 のサブアレイ S B A R Y は、正規のサブワード線 S W L が 2 5 6 本に加えて、8 本の予備ワード線が設けられる。それ故、上記 2 5 6 + 8 本のサブワード線 S W L に対応した 2 6 4 個のサブワードドライバ S W D は、かかるサブアレイの左右に 1 3 2 個ずつに分割して配置される。上記のように右下のサブアレイが 2 5 6 対の相補ビット線 B L からなり、上記同様に 1 2 8 個のセンスアンプが上下に配置される。上記右側の上下に配置されるサブアレイ S B A R Y に形成される 1 2 8 対の相補ビット線は、それに挟まれたセンスアンプ S A に対してシェアードスイッチ M O S F E T を介して共通に接続される。

【 0 0 4 3 】上記のように左下配置される第 3 のサブアレイ S B A R Y は、右隣接のサブアレイ S B A R Y と同様にサブワード線 S W L が 2 5 6 本により構成される。上記同様に 1 2 8 個のサブワードドライバが分割して配置される。上記下側左右に配置されたサブアレイ S B A R Y の 1 2 8 本のサブワード線 S W L は、それに挟まれた領域に形成された 1 2 8 個のサブワードドライバ S W D に対して共通に接続される。上記のように左下配置されるサブアレイ S B A R Y は、2 5 6 対からなる正規の相補ビット線 B L に加えて、4 対の予備ビット線 4 R E D が設けられる。それ故、上記 2 6 0 対からなる相補ビット線 B L に対応した 2 6 0 個のセンスアンプ S A は、かかるサブアレイの上下に 1 3 0 個ずつに分割して配置される。

【 0 0 4 4 】上記のように左上配置される第 4 のサブアレイ S B A R Y は、右隣接のサブアレイ S B A R Y と同様に正規のサブワード線 S W L が 2 5 6 本に予備サブワード線 R が 8 本設けられ、下隣接のサブアレイと同様に正規の相補ビット線対の 2 5 6 対に加えて、予備のビット線が 4 対設けられるので、サブワードドライバは、左右に 1 3 2 個ずつ分割して配置され、センスアンプ S A は 1 3 0 ずつが上下に分割して配置される。

【 0 0 4 5 】メインワード線 M W L は、その 1 つが代表として例示的に示されているように延長される。カラム選択線 Y S は、その 1 つが代表として例示的に示されるように同図の縦方向に延長される。上記メインワード線 M W L と平行にサブワード線 S W L が配置され、上記カラム選択線 Y S と平行に相補ビット線 B L (図示せず) が配置されるものである。この実施例では、特に制限されないが、上記 4 つのサブアレイを基本単位として、図 2 のように 8 M ビット分のメモリアレイでは、ビット線方向には 8 組のサブアレイが形成され、ワード線方向には 4 組のサブアレイが構成される。1 組のサブアレイが 4 個で構成されるから、上記 8 M ビットのメモリアレイでは、 $8 \times 4 \times 4 = 1 2 8$ 個のサブアレイが設けられる。上記 8 M ビットのメモリアレイがチップ全体では 8 個設けられるから、メモリチップ全体では $1 2 8 \times 8 = 1 0 2 4$ 個ものサブアレイが形成されるものである。

【 0 0 4 6 】特に制限されないが、上記 4 個からなるサブアレイに対して、8 本のサブワード選択線 F X 0 B ~ F X 7 B が、メインワード線 M W L と同様に 4 組 (8 個) のサブアレイを貫通するように延長される。上記サブワード選択線 F X 0 B ~ F X 3 B からなる 4 本と、F X 4 B ~ F X 7 B からなる 4 本とが上下のサブアレイ上に分けて延長させる。このように 2 つのサブアレイに対して 1 組のサブワード選択線 F X 0 B ~ F X 7 B を割り当て、かつ、それらをサブアレイ上に延長させるようにする理由は、メモリチップサイズの小型化を図るためである。

【 0 0 4 7 】各サブアレイに対して上記 8 本のサブワード選択線 F X 0 B ~ F X 7 B を割り当て、しかもそれをセンスアンプエリア上に配線チャンネルに形成した場合、図 2 のメモリアレイのように 1 6 個ものサブアレイが上下のメモリアレイにおいて合計 3 2 個も配置されるために、 $8 \times 3 2 = 2 5 6$ 本分もの配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが、2 つのサブアレイに対して上記 8 本のサブワード選択線 F X 0 B ~ F X 7 B を割り当て、しかも、それをサブアレイ上を通過するように配置させることにより、格別な配線チャンネルを設けることなく形成することができる。

【 0 0 4 8 】上記サブアレイ上には、8 本のサブワード線に対して 1 本のメインワード線が設けられるものであり、その 8 本の中の 1 本のサブワード線を選択するためにサブワード選択線が必要になるものである。メモリセルのピッチに合わせて形成されるサブワード線の 8 本分に 1 本の割り合いでメインワード線が形成されるものであるために、メインワード線の配線ピッチは緩やかになっている。したがって、メインワード線と同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは比較的容易にできるものである。

【 0 0 4 9 】この実施例のサブワードドライバは、後述

するように上記サブワード選択線 F X 0 B 等を通して供給される選択信号と、それを反転させた選択信号とを用いて 1 つのサブワード線 S W L を選択する構成を採る。そして、サブワードドライバは、それを中心として左右に配置されるサブアレイのサブワード線 S W L を同時に選択するような構成を採るものである。そのため、上記のように 2 つのサブアレイに対しては、 $128 \times 2 = 256$ 個ものサブワードドライバに対して、上記 4 本のサブワード選択線を割り振って供給する。つまり、サブワード選択線 F X 0 B に着目すると、 $256 \div 4 = 64$ 個ものサブワードドライバに選択信号を供給する必要がある。

【0050】上記メインワード線 M W L と平行に延長されるものを第 1 のサブワード選択線 F X 0 B とすると、左上部のクロスエリアに設けられ、上記第 1 のサブワード選択線 F X 0 B からの選択信号を受けるサブワード選択線駆動回路 F X D を介して、上記上下に配列される 64 個のサブワードドライバに選択信号を供給する第 2 のサブワード線 F X 0 が設けられる。上記第 1 のサブワード選択線 F X 0 B は上記メインワード線 M W L 及びサブワード線 S W L と平行に延長されるのに対して上記第 2 のサブワード選択線は、それと直交するカラム選択線 Y S 及び相補ビット線 B L と平行に延長される。上記 8 本の第 1 のサブワード選択線 F X 0 B ~ F X 7 B に対して、上記第 2 のサブワード選択線 F X 0 ~ F X 7 は、偶数 F X 0, 2, 4, 6 と、奇数 F X 1, 3, 5, 7 とに分割されてサブアレイ S B A R Y の左右に設けられたサブワードドライバ S W D に振り分けられて配置される。

【0051】上記サブワード選択線駆動回路 F X D は、同図において■で示したように、1 つのクロスエリアの上下に 2 個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 0 B に対応され、左中間部のクロスエリアに設けられた 2 つのサブワード選択線駆動回路 F X D が、第 1 のサブワード選択線 F X 2 B と、F X 4 B に対応され、左下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 6 B に対応される。

【0052】中央上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 1 B に対応され、中央中間部のクロスエリアに設けられた 2 つのサブワード選択線駆動回路 F X D が、第 1 のサブワード選択線 F X 3 B と、F X 5 B に対応され、中央下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 7 B に対応される。そして、右上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 0 B に対応され、右中間部のクロスエリアに設けられた 2 つのサブ

ワード選択線駆動回路 F X D が、第 1 のサブワード選択線 F X 2 B と、F X 4 B に対応され、右下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第 1 のサブワード選択線 F X 6 B に対応される。このようにメモリアレイの端部に設けられたサブワードドライバは、その右側にはサブアレイが存在しないから、左側だけのサブワード線 S W L を駆動する。

【0053】この実施例のようにサブアレイ上のメインワード線のピッチの間にサブワード選択線を配置する構成では、格別な配線チャンネルが不要にできるから、1 つのサブアレイに 8 本のサブワード選択線を配置するようにしてもメモリチップがお大きくなることはない。しかしながら、上記のようなサブワード選択線駆動回路 F X D を形成するために領域が増大し、高集積化を妨げることとなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線 M I O やサブ入出力線 L I O に対応して設けられるスイッチ回路 I O S W や、センスアンプを駆動するパワー M O S F E T、シェアードスイッチ M O S F E T を駆動するための駆動回路、プリチャージ M O S F E T を駆動する駆動回路等の周辺回路が形成されるために面積的な余裕が無いからである。上記サブ入出力線 L I O とメイン入出力線 M I O は、前記のような書き込み専用線と読み出し専用線から構成される。

【0054】後述するようにサブワードドライバにおいては、上記第 2 のサブワード選択線 F X 0 ~ 6 等には、それと平行に第 1 サブワード選択線 F X 0 B ~ 6 B に対応した選択信号を通す配線が設けられるものであるが、その負荷が後述するように小さいので、上記第 2 のサブワード選択線 F X 0 ~ 6 のように格別なドライバ F X D を設けることなく、上記第 1 サブワード選択線 F X 0 B ~ 6 B と直接接続される配線によって構成される。ただし、その配線層は上記第 2 のサブワード選択線 F X 0 ~ 6 と同じものが用いられる。

【0055】特に制限されないが、上記クロスエリアのうち、偶数に対応した第 2 のサブワード選択線 F X 0 ~ F X 6 の延長方向 A に配置されたものには、○に P で示したようにセンスアンプに対して定電圧化された内部電圧 V D L を供給する N チャンネル型のパワー M O S F E T と、○に O で示したようにセンスアンプに対して後述するようなオーバードライブ用のクランプ電圧 V D D C L P を供給する P チャンネル型のパワー M O S F E T、及び○に N で示したようにセンスアンプに対して回路の接地電位 V S S を供給するための N チャンネル型のパワー M O S F E T が設けられる。

【0056】上記クロスエリアのうち、奇数に対応した第 2 のサブワード選択線 F X 0 ~ F X 6 の延長方向 B に配置されたものには、○に B で示したようにビット線のプリチャージ及びイコライズ用 M O S F E T をオフ状態にさせる N チャンネル型の駆動 M O S F E T と、○に N

で示したようにセンスアンプに対してVBSG1とVBSG2を供給するためのNチャンネル型のパワーMOSFETが設けられる。このNチャンネル型のパワーMOSFETは、センスアンプ列の両側からセンスアンプを構成するNチャンネル型MOSFETの増幅MOSFETのソースに接地電位を供給するものである。つまり、センスアンプエリアに設けられる128個又は130個のセンスアンプに対しては、上記A側のクロスエリアに設けられたNチャンネル型のパワーMOSFETと、上記B側のクロスエリアに設けられた2つのNチャンネル型のパワーMOSFETの両方によりそれぞれVBSG1とVBSG2が選択的に供給される。

【0057】上記のようにサブワード線駆動回路SWDは、それを中心にして両側のサブアレイのサブワード線を選択する。これに対して、上記選択された2つのサブアレイのサブワード線に対応して2つのセンスアンプが活性化される。つまり、サブワード線を選択状態にすると、アドレス選択MOSFETがオン状態となり、記憶キャパシタの電荷がビット線電荷と合成されてしまうので、センスアンプを活性化させてもとの電荷の状態に戻すという再書き込み動作を行う必要があるからである。このため、上記端部のサブアレイに対応したものを除いて、上記P、O及びNで示されたパワーMOSFETは、それを挟んで両側のセンスアンプを活性化させるために用いられる。

【0058】これに対して、アレイの端に設けられたサブアレイの右側に設けられたサブワード線駆動回路SWDでは、上記サブアレイのサブワード線しか選択しないから、上記上記P、O及びNで示されたパワーMOSFETは、上記サブアレイに対応したセンスアンプのみを活性化するものである。上記センスアンプは、シェアドセンス方式とされ、それを挟んで両側に配置されるサブアレイのうち、上記サブワード線が非選択された側の相補ビット線に対応したシェアドスイッチMOSFETがオフ状態にされて切り離されることにより、上記選択されたサブワード線に対応した相補ビット線の読み出し信号を増幅し、メモリセルの記憶キャパシタをもとの電荷状態に戻すというリライト動作を行う。

【0059】図8には、この発明に係るダイナミック型RAMのメモリアレイ部の他の一実施例の要部回路図が示されている。同図においては、1本のワード線、1対の相補ビット線BL、/BLとこれらに関連したセンスアンプとプリチャージ回路、読み出し系回路及び書き込み系回路等が代表として例示的に示されている。

【0060】ダイナミック型メモリセル(Memory Cell)は、前記同様にアドレス選択用MOSFETQmと情報記憶用キャパシタCsから構成される。アドレス選択用MOSFETQmのゲートは、ワード線WLに接続され、このMOSFETQmの一方のソース、ドレインがビット線BLに接続される。他方のソース、ドレインが

情報記憶キャパシタCsのストレージノードと接続される。情報記憶用キャパシタCsの他方の電極は共通化されてプレート電圧が与えられる。

【0061】上記ビット線BLと/BLは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線BLと/BLは、スイッチMOSFETQ1とQ2によりセンスアンプの入出力ノードと接続される。センスアンプは、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型MOSFETQ5、Q6及びPチャンネル型MOSFETQ7、Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、コモンソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、コモンソース線CSPに接続される。コモンソース線CSPは同図では省略されているが、Pチャンネル型MOSFETのパワースイッチMOSFETが設けられて、電圧発生回路VDLGにより形成された内部電圧VDLが供給される。Nチャンネル型MOSFETQ5とQ6に対応したコモンソース線CSNにも、図示しないNチャンネル型MOSFETが設けられて、電圧発生回路VBSG1GとVBSB2により形成された内部電圧VBSG1とVBSG2とが選択的に供給される。

【0062】上記センスアンプSAの入出力ノードには、相補ビット線を短絡させるMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VDL-VBSG2/2を供給するスイッチMOSFETQ9とQ11からなるプリチャージ回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCが供給される。上記センスアンプSAのコモンソース線CSPとCSNにも、これらコモンソース線CSPとCSNとを短絡させるMOSFETQ27と、上記ハーフプリチャージ電圧を供給するスイッチMOSFETQ25とQ26からなるプリチャージ回路が設けられる。これらのMOSFETQ25～Q27のゲートは、共通にプリチャージ信号CSPCが供給される。

【0063】この実施例では、前記のように読み出し動作の高速化のために、ダイレクトセンスアンプ(以下、単に増幅回路という)が設けられる。増幅回路は、上記センスアンプSAの入出力ノードの電位を受ける差動増幅MOSFETQ12とQ13、及びそれらの共通ソースに設けられて動作電流を形成するMOSFETQ14から構成される。このMOSFETQ14は、タイミング信号RSとカラム選択信号YSとをソースとゲートに受けて、上記差動増幅MOSFETQ12とQ13の動作を有効とする。

【0064】これらの増幅MOSFETQ12とQ13のドレインは、読み出し専用線RIOに接続される。この読み出し専用線RIOには、MOSFETQ19～Q21からなるプリチャージ回路が設けられ、電源電圧V

CCにプリチャージされ、上記差動増幅MOSFETの増幅動作により一方がロウレベルに引き抜かれて、かかる増幅信号がメインアンプ(Main Amp)の入力に伝えられる。なお、上記読み出し専用線RIOは、前記RIOとノRIOに対応している。

【0065】このような増幅回路の挿入により、センスアンプSAの増幅信号が上記のようなハイレベル(VDL)とロウレベル(VBSG1)のような比較的小さな信号振幅であるにもかかわらず、Y系の選択動作に連動して増幅することによりメインアンプに必要な信号レベルの読み出し信号を伝えることができるので読み出し時間の高速化を図ることができる。

【0066】上記のように読み出し専用線RIOが設けられることに対応して、書き込み専用線WIOが設けられる。この書き込み専用線WIOから伝えられる書き込み信号のハイレベルとロウレベルを、上記VDLとVBSG1に合わせるために、上記電圧発生回路VDLGとVBSG1が共用される。つまり、書き込み専用線WIOにも、MOSFETQ22～Q24からなる前記同様なプリチャージ回路が設けられ、ライトバッファ(Write Buffer)を通して上記VDLとVBSG1のような書き込み信号が伝えられる。

【0067】書き込み信号WEB0がハイレベルで、WEB1がロウレベルならMOSFETQ28とQ30がオン状態になり、それに対応して書き込み信号を上記書き込み専用線WIOに伝える。書き込み信号WEB0がロウレベルで、WEB1がハイレベルならMOSFETQ29とQ31がオン状態になり、それに対応して上記とは逆の書き込み信号を書き込み専用線WIOに伝える。MOSFETQ15とQ16は、カラム選択スイッチであり、上記選択信号YSによりスイッチ制御される。これと直列形態に設けられたMOSFETQ17とQ18は、書き込みパルスWPによりスイッチ制御され、この間において上記書き込み専用線WIOに伝えられたVDLとVBSG1のような書き込み信号を上記センスアンプSAの入出力ノードに伝える。

【0068】MOSFETQ1とQ2及びQ3とQ4は、シェアードスイッチMOSFETであり、かかるセンスアンプSA及び入出力回路に対して左右に設けられたメモリマットのいずれかを選択する。左側のメモリマットが選択されたときには、信号SHLによりMOSFETQ1とQ2がオン状態を維持し、信号SHRがロウレベルにされて右側のメモリマットのビット線の切り離しが行われる。右側のメモリマットが選択されたときには、信号SHRによりMOSFETQ3とQ4がオン状態を維持し、信号SHLがロウレベルにされて左側のメモリマットのビット線の切り離しが行われる。メモリアクセスが終了したプリチャージ期間では、上記信号SHLとSHRが共にハイレベルになり、両方のビット線のプリチャージが行われる。上記信号SHLとSHRのハ

イレベルは、ワード線WLと同様に昇圧電圧VCHのようなハイレベルにされる。

【0069】図9には、上記サブアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図が示されている。同図は、主に回路動作を説明するものであり、前記のようなサブワード選択線の幾何学的な配置を無視してサブワード選択線FX0B～7Bを纏めて表している。同図においては、サブワード線を選択動作を説明するために2本のメインワード線MWL0とMWL1が代表として示されている。これらのメインワード線MWL0は、メインワードドライバMWD0により選択される。他のメインワード線MWL1は、上記同様なメインワードドライバにより同様に選択される。

【0070】上記1つのメインワード線MWL0には、その延長方向に対して8組のサブワード線が設けられる。同図には、そのうちの2組のサブワード線が代表として例示的に示されている。サブワード線は、偶数0～6と奇数1～7の合計8本のサブワード線が1つのサブアレイに交互に配置される。メインワードドライバに隣接する偶数0～6と、メインワード線の遠端側(ワードドライバの反対側)に配置される奇数1～7を除いて、サブアレイ間に配置されるサブワードドライバは、それを中心にした左右のサブアレイのサブワード線を駆動する。

【0071】これにより、前記のようにサブアレイとしては、8分割されるが、上記のように実質的にサブワードドライバSWDにより2つのサブアレイに対応したサブワード線が同時に選択されるので、実質的には上記サブアレイが4組に分けられることとなる。上記のようにサブワード線SWLを偶数0～6と偶数1～7に分け、それぞれメモリブロックの両側にサブワードドライバSWDを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線SWLの実質的なピッチがサブワードドライバSWDの中で2倍に緩和でき、サブワードドライバSWDとサブワード線SWLとを効率よく半導体チップ上にレイアウトすることができる。

【0072】この実施例では、上記サブワードドライバSWDは、4本のサブワード線0～6(1～7)に対して共通にメインワード線MWLから選択信号を供給する。上記4つのサブワード線の中から1つのサブワード線を選択するためのサブワード選択線FXBが設けられる。サブワード選択線は、FXB0～FXB7の8本から構成され、そのうちの偶数FXB0～FXB6が上記偶数列のサブワードドライバ0～6に供給され、そのうち奇数FXB1～FXB7が上記奇数列のサブワードドライバ1～7に供給される。サブワード選択線FXB0～FXB7は、サブアレイ上では第2層目の金属(メタル)配線層M2により形成され、同じく第2層目の金属配線層M2により構成されるメインワード線MWL0～MWLnと平行に延長される第1サブワード選択

線と、そこから直交する方向に延長される第 2 のサブワード選択線からなる。特に制限されないが、上記第 2 のサブワード選択線は、メインワード線 MWL との交差するために第 3 層目の金属配線層 M3 により構成される。

【0073】サブワードドライバ SWD は、そのうちの 1 つが例示的に示されているように、メインワード線 MWL に入力端子が接続され、出力端子にサブワード線 SWL が接続された P チャンネル型 MOSFET Q21 と N チャンネル型 MOSFET Q22 からなる第 1 の CMOS インバータ回路と、上記サブワード線 SWL と回路の接地電位との間に設けられ、上記サブワード選択信号 FXB を受けるスイッチ MOSFET Q23 から構成される。このスイッチ MOSFET Q23 のゲートを接続するために、実際には 0、2、4、6 からなるサブワードドライバ列にそって FX と FXB との合計 8 本のサブワード選択線が配置されるが、同図では 1 つの線で表している。

【0074】上記サブワード選択信号 FXB の反転信号 FX を形成する第 2 の CMOS インバータ回路 N1 がサブワード選択線駆動回路 FXD として設けられ、その出力信号を上記第 1 の CMOS インバータ回路の動作電圧端子である P チャンネル型 MOSFET Q21 のソース端子に供給する。この第 2 の CMOS インバータ回路 N1 は、特に制限されないが、前記図 3 のようにクロスエリアに形成され、複数（前記実施例では 64 個）からなるサブワードドライバ SWD に対応して共通に用いられる。

【0075】上記のようなサブワードドライバ SWD の構成においては、メインワード線 MWL がワード線の選択レベルに対応した昇圧電圧 VCH のようなハイレベルのとき、上記第 1 の CMOS インバータ回路の N チャンネル型 MOSFET Q22 がオン状態となり、サブワード線 SWL を回路の接地電位のようなロウレベルにする。このとき、サブワード選択信号 FXB が回路の接地電位のようなロウレベルのような選択レベルとなり、サブワード選択線駆動回路 FXD としての第 2 の CMOS インバータ回路 N1 の出力信号が上記昇圧電圧 VCH に対応した選択レベルにされても、上記メインワード線 MWL の非選択レベルにより、P チャンネル型 MOSFET Q21 がオフ状態であるので、上記サブワード線 SWL は上記 N チャンネル型 MOSFET Q22 のオン状態による非選択状態にされる。

【0076】上記メインワード線 MWL が選択レベルに対応した回路の接地電位のようなロウレベルのとき、上記第 1 の CMOS インバータ回路の N チャンネル型 MOSFET Q22 がオフ状態となり、P チャンネル型 MOSFET Q21 がオン状態になる。このとき、サブワード選択信号 FXB が上記回路の接地電位のようなロウレベルなら、サブワード選択線駆動回路 FXD としての第 2 の CMOS インバータ回路 N1 の出力信号が上記昇圧

電圧 VCH に対応した選択レベルにされて、サブワード線 SWL を VCH のような選択レベルにする。もしも、サブワード選択信号 FXB が昇圧電圧 VCH のような非選択レベルなら、上記第 2 の CMOS インバータ回路 N2 の出力信号がロウレベルとなり、これとともに上記 N チャンネル型 MOSFET Q23 がオン状態になってサブワード線 SWL をロウレベルの非選択レベルにする。

【0077】上記メインワード線 MWL 及びそれと平行に配置される第 1 のサブワード選択線 FXB は、上記のように非選択レベルが共に VCH のようなハイレベルにされている。それ故、RAM が非選択状態（スタンバイ）状態のときに上記平行に配置されるメインワード線 MWL と第 1 のサブワード選択線 FXB との間に絶縁不良が発生しても、リーク電流が流れることがない。この結果、メインワード線 MWL の間に第 1 のサブワード選択線 FXB 形成してサブアレイ上に配置させることができ、レイアウトの高密度化としても、上記リーク電流による直流不良を回避することができ高信頼性となるものである。

【0078】図 10 には、上記メモリアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として 1 本のメインワード線 MWL が示されている。このメインワード線 MWL は、メインワードドライバ MWD により選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバ SWD が設けられる。

【0079】同図では、省略されてるが上記メインワード線 MWL と平行に配置されるサブワード線と直交するように相補ビット線（Pair Bit Line）が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してサブアレイ（メモリセルアレイ）を中心にして左右にセンスアンプ SA が振り分けられる。センスアンプ SA は、前記のようにシェアドセンス方式とされるが、端部のセンスアンプ SA では、実質的に片方にした相補ビット線が設けられないが、シェアドスイッチ MOSFET を介して相補ビット線と接続される。

【0080】上記のようにメモリブロックの両側にセンスアンプ SA を分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプ SA を形成する素子エリアを確保することができるものとなる。上記センスアンプ SA の配列に沿って上記サブ入出力線が配置される。このサブ入出力線は、カラムスイッチを介して上記相補ビット線に接続される。カラムスイッチには、前記のようなダイレクトセンスアンプや書き込み回路が付加されるが、同図ではスイッチ MOSFET を代表として例示的に占めている。スイッチ

MOSFETのゲートは、カラムデコーダCOLUMN DECORDER の選択信号が伝えられるカラム選択線Y Sに接続されることを表し、実際には前記のような読み出し増幅回路及び書き込み回路により構成される。

【0081】図11には、この発明に係るダイナミック型RAMの間接周辺回路部分の一実施例の概略ブロック図が示されている。タイミング制御回路TGは、外部端子から供給されるロウアドレスストローブ信号/RA S、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE及びアウトプットイネーブル信号/OEを受けて、動作モードの判定、それに対応して内部回路の動作に必要な各種のタイミング信号を形成する。この明細書及び図面では、/はロウレベルがアクティブレベルであることを意味するのに用いている。

【0082】信号R1とR3は、ロウ系の内部タイミング信号であり、ロウ系の選択動作のために使用される。タイミング信号φXLは、ロウ系アドレスを取り込んで保持させる信号であり、ロウアドレスバッファRABに供給される。すなわち、ロウアドレスバッファRABは、上記タイミング信号φXLによりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。タイミング信号φYLは、カラムウ系アドレスを取り込んで保持させる信号であり、カラムアドレスバッファCABに供給される。すなわち、カラムアドレスバッファRABは、上記タイミング信号φYLによりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。

【0083】信号φREFは、リフレッシュモードのときに発生される信号であり、ロウアドレスバッファの入力部に設けられたマルチプレクサAMXに供給されて、リフレッシュモードのときにリフレッシュアドレスカウンタ回路RFCにより形成されたリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアドレスカウンタ回路RFCは、タイミング制御回路TGにより形成されたリフレッシュ用の歩進パルスφRCを計数してリフレッシュアドレス信号を生成する。この実施例では後述するようなオートリフレッシュとセルフリフレッシュを持つようにされる。タイミング信号φXは、ワード線選択タイミング信号であり、デコーダXIBに供給されて、下位2ビットのアドレス信号の解読された信号に基づいて4通りのワード線選択タイミング信号XiBが形成される。タイミング信号φYはカラム選択タイミング信号であり、カラム系プリデコーダYPDに供給されてカラム選択信号AYix、AYjx、AYkxが出力される。

【0084】タイミング信号φWは、書き込み動作を示す制御信号であり、タイミング信号φRは読み出し動作を示す制御信号である。これらのタイミング信号φWとφRは、入出力回路I/Oに供給されて、書き込み動作のときには入出力回路I/Oに含まれる入力バ

ッファを活性化し、出力バッファを出力ハインピーダンス状態にさせる。これに対して、読み出し動作のときには、上記出力バッファを活性化し、入力バッファを出力ハインピーダンス状態にする。タイミング信号φMSは、特に制限されないが、メモリアレイ選択動作を指示する信号であり、ロウアドレスバッファRABに供給され、このタイミングに同期して選択信号MSiが出力される。タイミング信号φSAは、センスアンプの動作を指示する信号である。このタイミング信号φSAに基づいて、センスアンプの活性化パルスが形成される。

【0085】この実施例では、ロウ系の冗長回路X-REDが代表として例示的に示されている。すなわち、上記回路X-REDは、不良アドレスを記憶させる記憶回路と、アドレス比較回路とを含んでいる。記憶された不良アドレスとロウアドレスバッファRABから出力される内部アドレス信号BXiとを比較し、不一致のときには信号XEをハイレベルにし、信号XEBをロウレベルにして、正規回路の動作を有効にする。上記入力された内部アドレス信号BXiと記憶された不良アドレスとが一致すると、信号XEをロウレベルにして正規回路の不良メインワード線の選択動作を禁止させるとともに、信号XEBをハイレベルにして、1つの予備メインワード線を選択する選択信号XRI Bを出力させる。

【0086】内部電圧発生回路VGは、外部端子から供給された3.3Vのような電源電圧VDDと0Vの接地電位VSSとを受け、特に制限されないが、上記昇圧電圧VCH(+3.8V)、内部電圧VDL(+2.2V)、プレート電圧(プリチャージ電圧)VPL(1.35V)、上記センスアンプの動作電圧VBSG1(+1.0V)、ブーステッドグランドレベルに対応した電圧VBSG2(+0.5V)及び必要に応じて基板電圧VBB(-1.0V)を形成する。上記昇圧電圧VCHと基板電圧VBBとは、チャージポンプ回路と、その制御回路とを用いて上記電圧VCH及びVBBを安定的に形成する。上記内部電圧VDLとVBSG1、VBSG2は、所定の基準電圧を用いて上記電源電圧VDDを内部降圧して安定化させて形成される。上記プレート電圧VPLやハーフプリチャージ電圧は、内部降圧電圧VDLとVBSG2の電圧を1/2に分圧して形成される。

【0087】この実施例のように大記憶容量化されたダイナミック型RAMでは、素子の微細化に伴い、そこに形成されるMOSFETは低しきい値電圧とされる。そして、メモリセルのアドレス選択MOSFETは、周辺回路を構成するMOSFETと同様に低しきい値電圧とされる。これにより、従来のダイナミック型RAMのようにメモリセルを構成するMOSFETを周辺回路のMOSFETに比べて大きなしきい値電圧にする必要がなく製造プロセスの簡素化ができる。あるいは、上記ブーステッドグランドセンス方式の採用により、メモリセルと周辺回路のNチャンネル型MOSFETを同じP型

ウェル領域に形成できるから、高集積化を図ることができる。

【0088】メモリセルを構成するNチャンネル型MOSFETは、3重ウェル構造を利用し、P型基板に形成された深い深さのN型ウェル領域内のP型ウェル領域に形成されてもよい。この場合には、かかるP型ウェル領域には基板バックバias電圧VBBを印加して、アドレス選択MOSFETの実効的なしきい値電圧を大きくしてドレインゲート間に流れるサブスレッショルドリーク電流をいっそう小さくするようにしてもよい。

【0089】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) BSG方式のダイナミック型RAMにおいて、プリチャージ電圧より低く、ブーステッドグランドレベルにより高い内部電圧を形成しておき、ワード線の選択状態の前期間においてはセンスアンプのロウレベル側の動作電圧として内部電圧を用い、上記ワード線が非選択状態にされる直前において上記内部電圧を上記ブーステッドグランドレベルに切り替えてビット線のロウレベルを上記ブーステッドグランドレベルに設定することにより、ワード線が非選択のメモリセルのサブスレッショルドリーク電流を低減しつつ、ダイレクトセンスアンプの採用により高速動作を実現できるという効果が得られる。

【0090】(2) 上記ビット線として一対の相補ビット線を平行に配置し、上記センスアンプの増幅MOSFETは、一方のビット線に接続されたメモリセルの読み出し信号を他方のビット線のプリチャージ電圧を参照電圧として増幅するシェアード方式とし、上記プリチャージMOSFET及びカラムスイッチMOSFETをシェアードスイッチMOSFETを介して上記2組の相補ビット線に対して共通に設け、これらシェアードスイッチMOSFETも上記メモリアレイに含ませて構成することにより高集積化が可能になるという効果が得られる。

【0091】(3) 上記センスアンプを構成する増幅MOSFETは、Pチャンネル型MOSFETとNチャンネル型MOSFETからなる2つのCMOSインバータ回路の入力と出力とが交差接続されてなるCMOSラッチ回路とし、かかるCMOSラッチ回路に上記第1の内部電圧を供給するPチャンネル型MOSFET及び上記第2の内部電圧と第3の内部電圧とを選択的に供給するNチャンネル型MOSFETからなるパワースwitchを設けるようにすることにより、高感度で上記ビット線電位を精度よく設定することができるという効果が得られる。

【0092】(4) 上記ワード線を、メインワード線と、かかるメインワード線に対して共通に割り当てられてなる複数のサブワード線で構成し、上記サブワード線に対して上記ダイナミック型メモリセルのアドレス選択

MOSFETのゲートが接続し、上記サブワード線は、上記メインワード線の信号とサブワード選択線の信号とを受けるサブワードドライバにより上記複数のうちの1つが選択されるものとし、かかるサブワードドライバも上記メモリアレイに含ませることにより、サブスレッショルドリーク電流を抑えつつ、高集積化と高速動作化及び高集積化が可能になるという効果が得られる。

【0093】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいまでもない。例えば、サブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を採ることができる。また、サブワードドライバの構成は、種々の実施形態を採ることができる。入出力インターフェイスの部分は、クロック信号に同期して動作を行うようにされたシンクロナスダイナミック型RAMとしてもよいし、ランバス仕様に準拠したものであってもよい。この発明は、ダイナミック型RAMに広く利用できる。

【0094】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、BSG方式のダイナミック型RAMにおいて、プリチャージ電圧より低く、ブーステッドグランドレベルにより高い内部電圧を形成しておき、ワード線の選択状態の前期間においてはセンスアンプのロウレベル側の動作電圧として内部電圧を用い、上記ワード線が非選択状態にされる直前において上記内部電圧を上記ブーステッドグランドレベルに切り替えてビット線のロウレベルを上記ブーステッドグランドレベルに設定することにより、ワード線が非選択のメモリセルのサブスレッショルドリーク電流を低減しつつ、ダイレクトセンスアンプの採用により高速動作を実現できる。

【図面の簡単な説明】

【図1】この発明を説明するための概念図である。

【図2】この発明に係るダイナミック型RAMにおけるセンスアンプ及び書き込み回路と読み出し増幅回路の一実施例を示す回路図である。

【図3】この発明に係るダイナミック型RAMの読み出し動作を説明するための概略タイミング図である。

【図4】この発明に係るダイナミック型RAMの書き込み動作を説明するための概略タイミング図である。

【図5】この発明に係るダイナミック型RAMの一実施例を示すレイアウト図である。

【図6】この発明に係るダイナミック型RAMを説明するための概略レイアウト図である。

【図7】この発明に係るダイナミック型RAMにおけるサブアレイとその直接周辺回路の一実施例を示す概略レイアウト図である。

ンブ領域、17…サブワードドライバ領域、18…交差領域（クロスエリア）

SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…ブリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、Q1～Q33…MOSFET、RIO…読み出し専用線、WIO…書き込み専用線。

SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…ブリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、Q1～Q33…MOSFET、RIO…読み出し専用線、WIO…書き込み専用線。

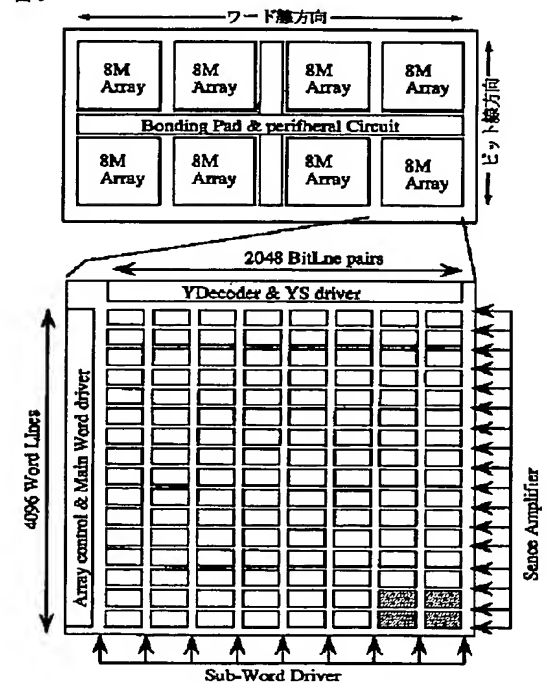
SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL、SWL0…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…ブリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、Q1～Q33…MOSFET、RIO…読み出し専用線、WIO…書き込み専用線。

SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL、SWL0…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…ブリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、Q1～Q33…MOSFET、RIO…読み出し専用線、WIO…書き込み専用線。

SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL、SWL0…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…ブリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、Q1～Q33…MOSFET、RIO…読み出し専用線、WIO…書き込み専用線。

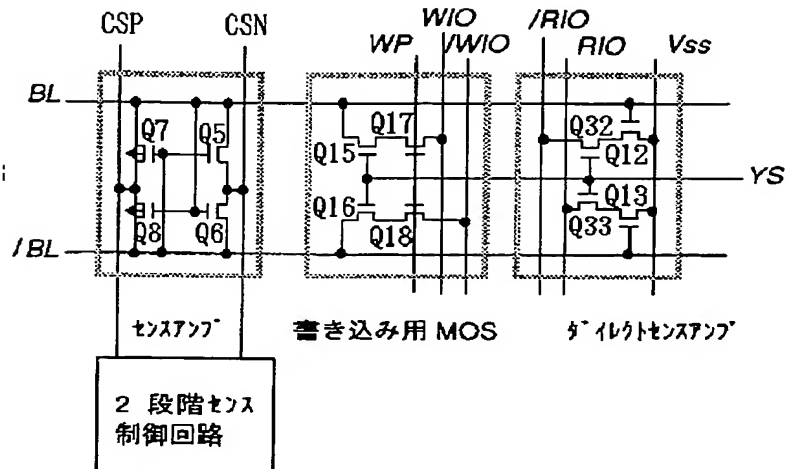
【図 6】

图 6

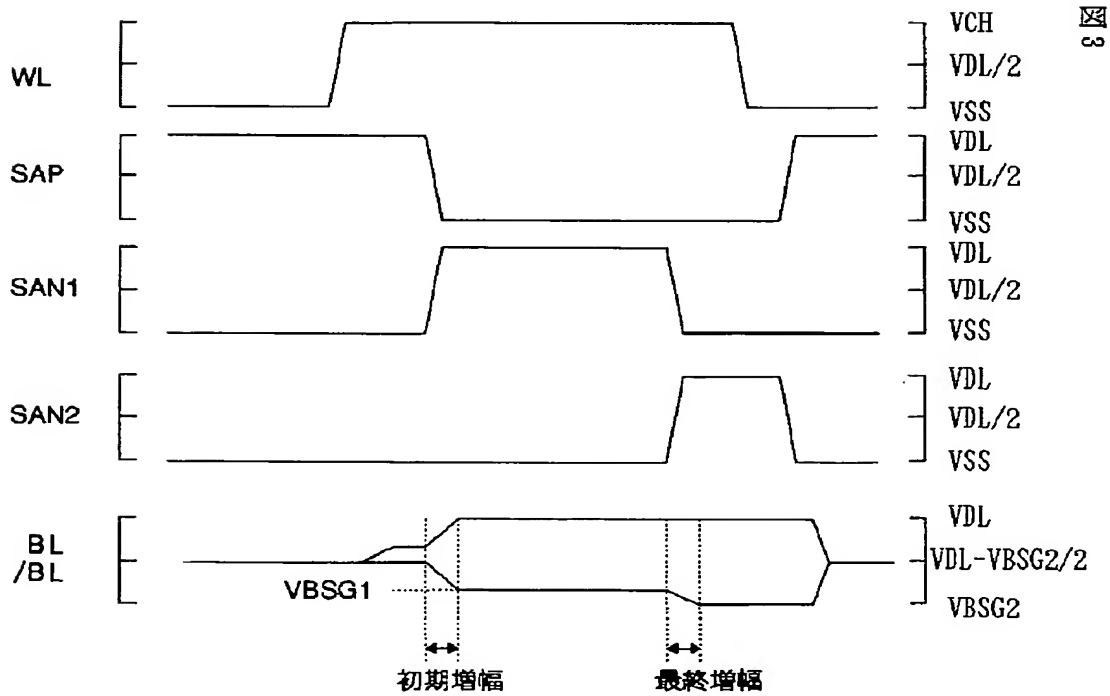


【図 2】

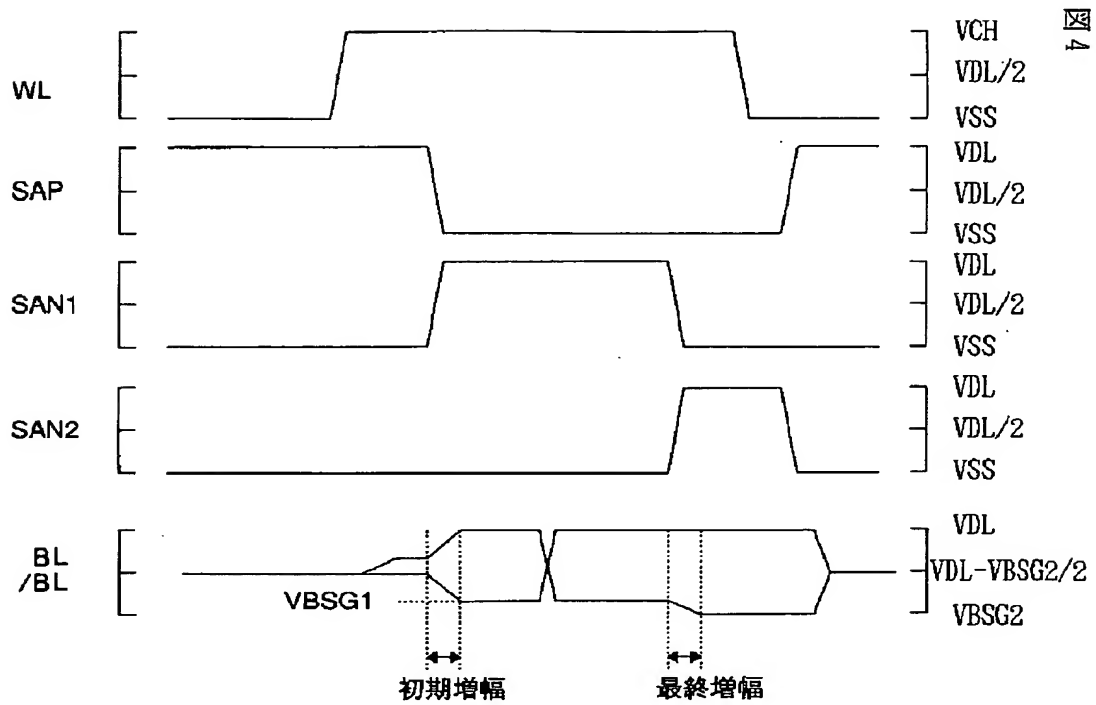
図 2



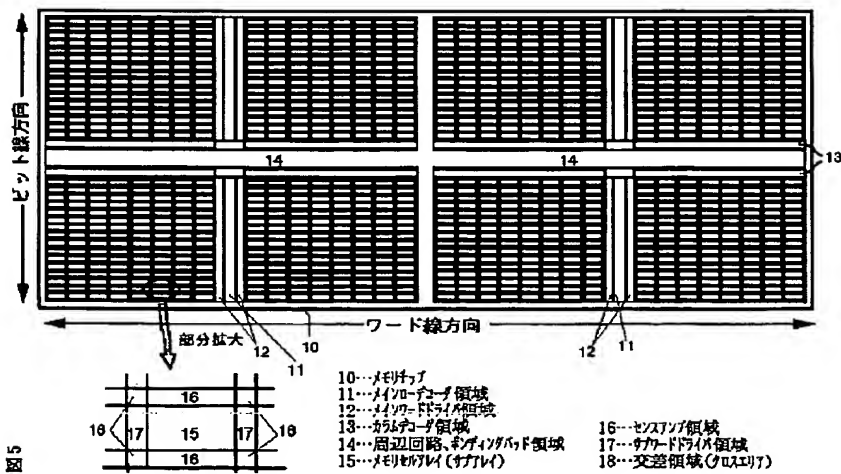
【図 3】



【図 4】

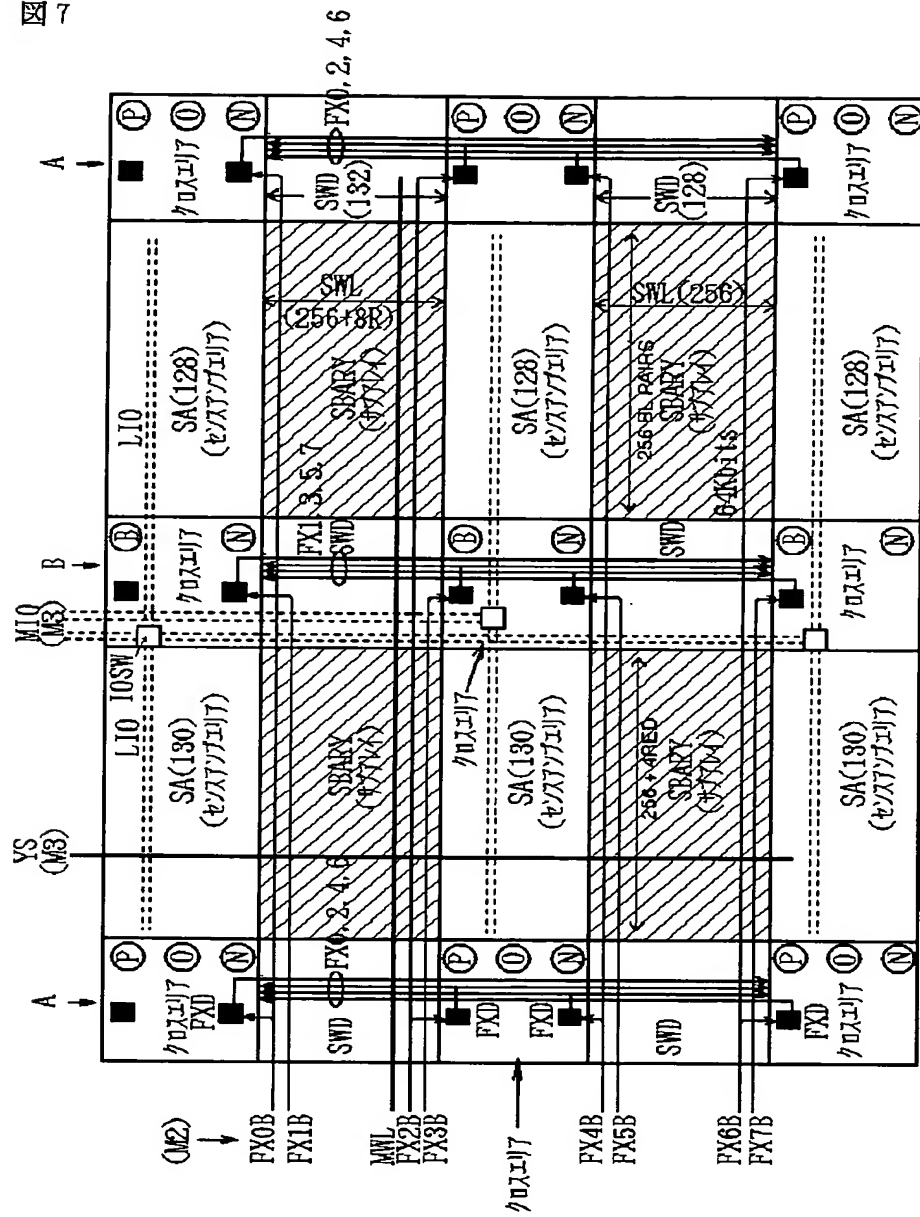


【図 5】

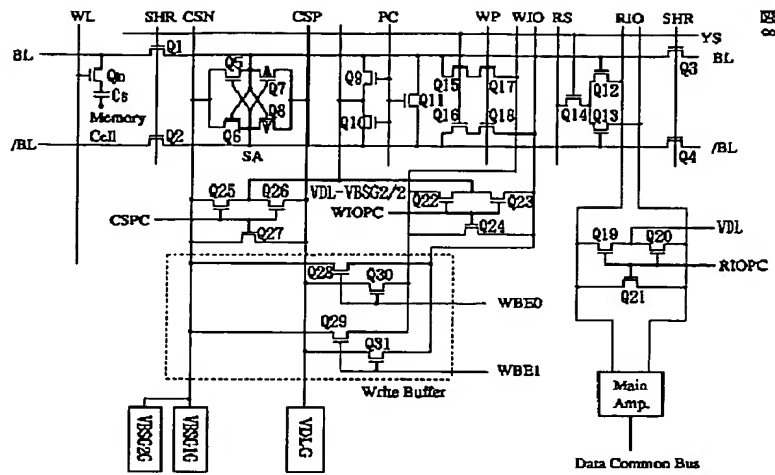


【 図 7 】

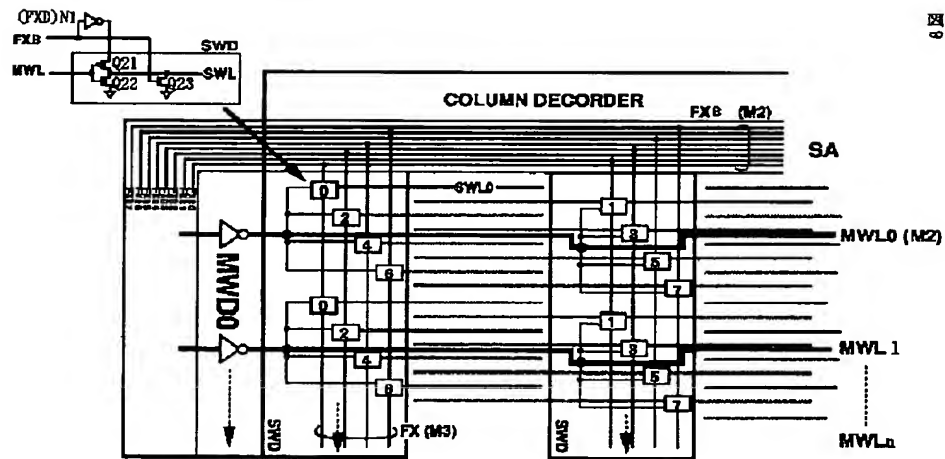
図 7



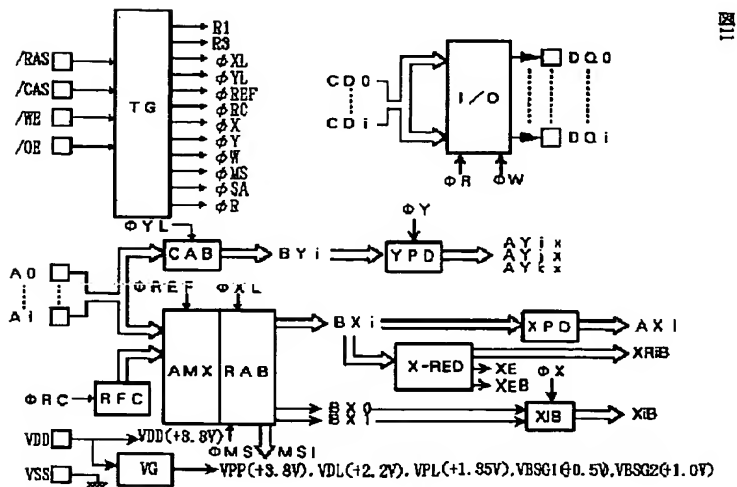
【 図 8 】



【 図 9 】



【 図 1 1 】



【 図 1 0 】

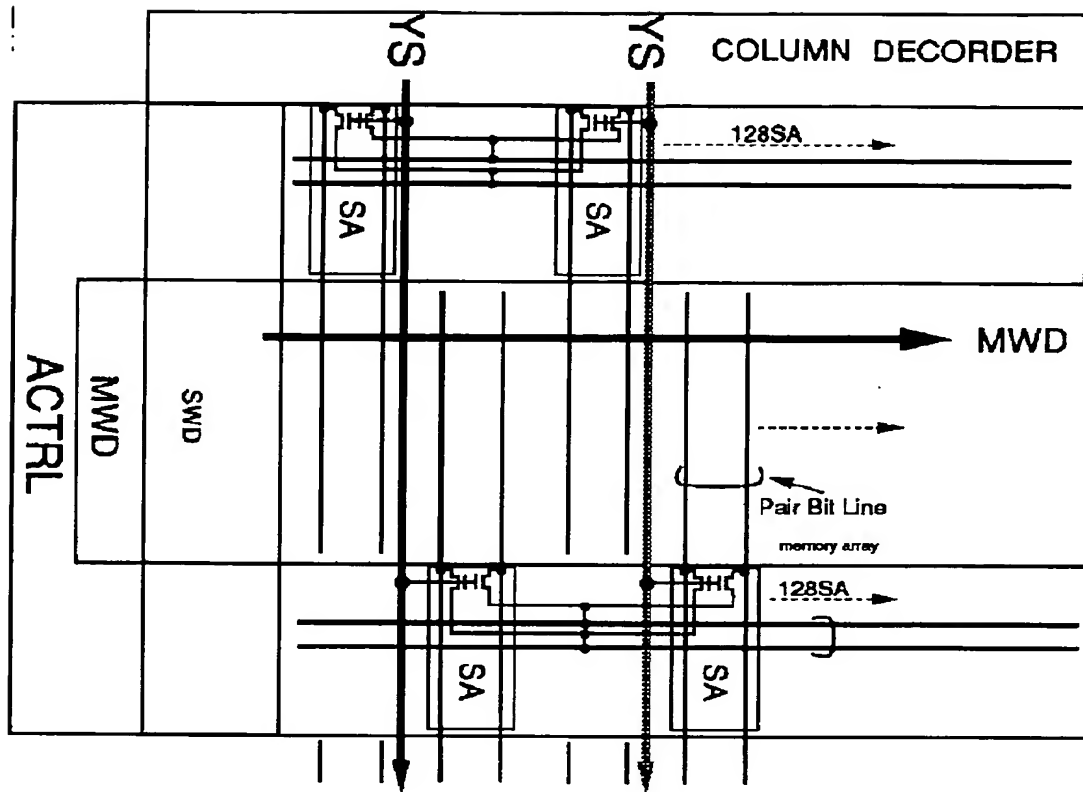


図10